

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2000341587 A**

(43) Date of publication of application: **08.12.00**

(51) Int. Cl. **H04N 5/265**
H04N 5/91
H04N 7/24

(21) Application number: **11145466**

(71) Applicant: **SONY CORP**

(22) Date of filing: **25.05.99**

(72) Inventor: **KATO MOTOKI**

(54) **DEVICE AND METHOD FOR IMAGE PROCESSING**

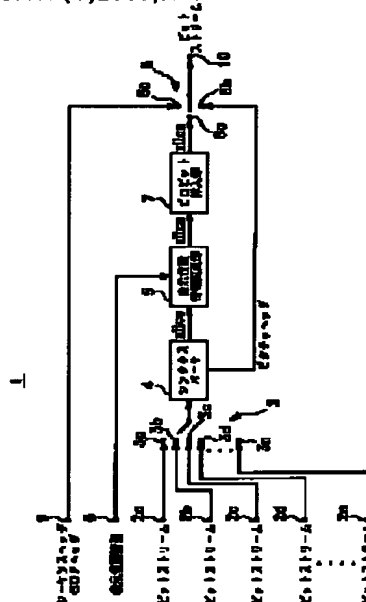
(57) **Abstract:**

PROBLEM TO BE SOLVED: To generate a high quality composite dynamic image without decoding nor re-encoding a plurality of bit streams.

SOLUTION: This device is provided with a means 6 where vertical positional information showing the position of each slice in a combined picture and horizontal positional information showing the position of a head macroblock included in each slice in the composite picture are inputted, a means 5 which rewrites slice positional information showing the start of a slice layer added to each slice on the basis of the vertical positional information, the means 5 which rewrites macroblock positional information showing display position in a composite picture added to the head macroblock included in each slice on the basis of the horizontal positional information, and a means which generates composite picture display data, so as to make the bit quantity of each slice in which the slice positional information and the macro block positional information can be rewritten as a

multiple of '8'. Then, a plurality of dynamic image data conforming to an MPEG standard are composited to be shown in one scene so that the composite picture can be generated.

COPYRIGHT: (C)2000,JPO



9

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-341587

(P 2 0 0 0 - 3 4 1 5 8 7 A)

(43) 公開日 平成12年12月8日 (2000.12.8)

(51) Int. Cl. ⁷	識別記号	F I	テーマコード (参考)
H04N 5/265		H04N 5/265	5C023
5/91		5/91	N 5C053
7/24		7/13	Z 5C059

審査請求 未請求 請求項の数 6 O L (全13頁)

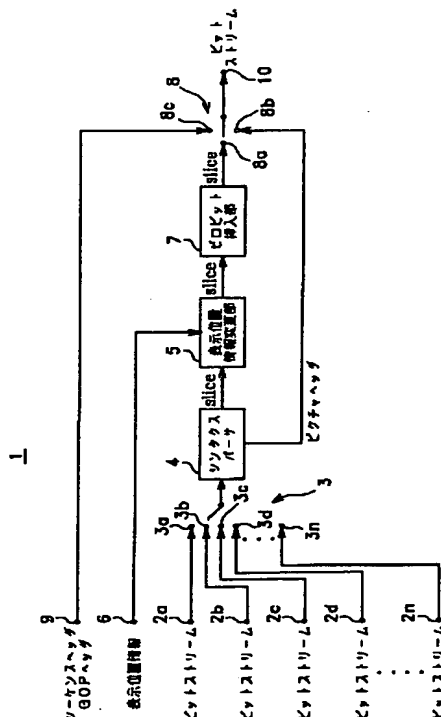
(21) 出願番号	特願平11-145466	(71) 出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22) 出願日	平成11年5月25日 (1999.5.25)	(72) 発明者	加藤 元樹 東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(74) 代理人	100067736 弁理士 小池 晃 (外2名)
		Fターム(参考)	5C023 AA02 AA14 AA38 5C053 FA05 FA27 GA11 GB37 HA33 JA24 KA03 LA06 5C059 KK38 MA00 PP04 RB13 SS19 UA02

(54) 【発明の名称】 画像処理装置及び方法

(57) 【要約】

【課題】 複数のビットストリームについてデコード及び再エンコードをすることなく高品質な合成動画像を生成する。

【解決手段】 各スライスの合成画面内での位置を示す垂直位置情報及び各スライスに含まれる先頭マクロブロックの合成画面内での位置を示す水平位置情報が入力される手段6と、各スライスに付加されスライス層の開始を示すスライス位置情報を垂直位置情報に基づいて書き換える手段5と、各スライスに含まれる先頭マクロブロックに付加され合成画面内での表示位置を示すマクロブロック位置情報を水平位置情報に基づいて書き換える手段5と、スライス位置情報及びマクロブロック位置情報が書き換えられた各スライスのビット量が8の倍数となるように合成画面表示データを生成する手段とを備え、MPEG規格に準拠した複数の動画データを一画面内に表示するように合成して合成画面を生成する。



本発明を用いた画像処理装置

【特許請求の範囲】

【請求項 1】 M P E G (Moving Picture Experts Group) 規格に準拠した複数の動画データを一画面内に表示するように合成して合成画面を生成する画像処理装置において、

各スライスの合成画面内での位置を示す垂直位置情報及び各スライスに含まれる先頭マクロブロックの合成画面内での位置を示す水平位置情報が入力される入力手段と、

各スライスに付加されスライス層の開始を示すスライス位置情報を上記入力手段に入力された垂直位置情報に基づいて書き換える垂直位置書換手段と、

各スライスに含まれる先頭マクロブロックに付加され合成画面内での表示位置を示すマクロブロック位置情報を上記入力手段に入力された水平位置情報に基づいて書き換える水平位置書換手段と、

上記垂直位置書換手段及び水平位置書換手段により上記スライス位置情報及び上記マクロブロック位置情報が書き換えられた各スライスのビット量が 8 の倍数となるように合成画面表示データを生成する合成画面生成手段とを備えることを特徴とする画像処理装置。

【請求項 2】 上記垂直位置書換手段は、上記スライス位置情報としてスライス・スタート・コード (slice_start_code) の下位 8 ビットを上記入力手段に入力された垂直位置情報に基づいて書き換えることを特徴とする請求項 1 記載の画像処理装置。

【請求項 3】 上記水平位置書換手段は、上記マクロブロック位置情報として各スライスに含まれる先頭マクロブロックに付加され合成画面内での表示位置を示すマクロブロック・アドレス・インクリメント (macroblock_address_increment) を上記入力手段に入力された水平位置情報に基づいて書き換えることを特徴とする請求項 1 記載の画像処理装置。

【請求項 4】 M P E G (Moving Picture Experts Group) 規格に準拠した複数の動画データを一画面内に表示するように合成して合成画面を生成する画像処理方法において、

各スライスの合成画面内での位置を示す垂直位置情報及び各スライスに含まれる先頭マクロブロックの合成画面内での位置を示す水平位置情報を入力し、

各スライスに付加されスライス層の開始を示すスライス位置情報を上記垂直位置情報に基づいて書き換えるとともに、各スライスに含まれる先頭マクロブロックに付加され合成画面内での表示位置を示すマクロブロック位置情報を上記水平位置情報に基づいて書き換え、

各スライスのビット量が 8 の倍数となるように上記合成画面を表示するための合成画面表示データを生成することを特徴とする画像処理方法。

【請求項 5】 上記スライス位置情報としてスライス・スタート・コード (slice_start_code) の下位 8 ビット

を上記垂直位置情報に基づいて書き換えることを特徴とする請求項 4 記載の画像処理方法。

【請求項 6】 上記マクロブロック位置情報として各スライスに含まれる先頭マクロブロックに付加され合成画面内での表示位置を示すマクロブロック・アドレス・インクリメント (macroblock_address_increment) を入力された上記水平位置情報に基づいて書き換えることを特徴とする請求項 4 記載の画像処理方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、複数の M P E G 規格に準拠した動画データを一画面内に合成して表示するための処理を行う画像処理装置及び方法に関する。

【0002】

【従来の技術】 テレビジョンのチャンネル選択やデータベースの画像検索を行うときにおいて、複数の画像（小画面）を一画面の画像に合成して表示するように画像データを生成する画像処理装置がある。この画像処理装置は、例えば 352 画素×240 画素の画像サイズを小画面として 4 つの画像データを用意し、これら小画面を合成することで 704 画素×480 画素の合成動画データを示す合成画像データを生成する処理を行うことができる。

【0003】 複数の小画面を示す画像データが M P E G 1 又は M P E G 2 規格に準拠したビデオストリームである場合の画像処理装置 100 の構成例を図 11 に示す。この画像処理装置 100 は、複数の端子 101a~101n を備え、各端子 101a~101n から入力した M P E G 規格に準拠した動画データを示すビットストリームが入力される。各ビットストリームは、M P E G デコーダ 103a~103n で画像信号にデコードされ、端子 104a~104n を介して画像合成部 105 に入力される。

【0004】 また、この画像処理装置 100 は、端子 102 から各ビットストリームが示す複数の動画データからなる合成動画データ内での表示位置を示す表示位置情報がフレームメモリ 106 に入力される。

【0005】 画像合成部 105 では、各 M P E G デコーダ 103a~103n からの画像信号をフレームメモリ 106 内の所定のアドレスに格納する。そして、画像合成部 105 は、フレームメモリ 106 に入力された表示位置情報に基づいて各動画データを一画面に合成してなる合成動画データを示す合成画像データを生成し、合成画像データを M P E G エンコーダ 107 に出力する。

【0006】 M P E G エンコーダ 107 は、フレームメモリ 106 からの合成画像データをエンコードし、端子 108 を介してビットストリームとして外部に出力する。このビットストリームは、図示しない表示装置に入力され、デコード処理等がなされてモニター上に複数の動画データからなる合成動画データとして表示される。

【0007】

【発明が解決しようとする課題】しかし、上述した画像処理装置 1 0 0 では、M P E G 規格に準拠したビットストリームを各 M P E G デコーダ 1 0 3 a ~ 1 0 3 n でデコードし、M P E G エンコーダ 1 0 7 でエンコードを行っているので、合成動画像を構成する各動画像の画質が劣化するという問題点がある。

【0 0 0 8】そこで、本発明は、上述したような実情に鑑みて提案されたものであり、入力された M P E G 規格に準拠した複数のビットストリームについてデコード及び再エンコードをすることなく高品質な合成動画像を生成することができる画像処理装置及び方法を提供することを目的とする。

【0 0 0 9】

【課題を解決するための手段】上述の課題を解決する本発明に係る画像処理装置は、M P E G (Moving Picture Experts Group) 規格に準拠した複数の動画像データを一面画内に表示するように合成して合成画面を生成する画像処理装置において、各スライスの合成画面内での位置を示す垂直位置情報及び各スライスに含まれる先頭マクロブロックの合成画面内での位置を示す水平位置情報が入力される入力手段と、各スライスに付加されスライス層の開始を示すスライス位置情報を上記入力手段に入力された垂直位置情報に基づいて書き換える垂直位置書換手段と、各スライスに含まれる先頭マクロブロックに付加され合成画面内での表示位置を示すマクロブロック位置情報を上記入力手段に入力された水平位置情報に基づいて書き換える水平位置書換手段と、上記垂直位置書換手段及び水平位置書換手段により上記スライス位置情報及び上記マクロブロック位置情報が書き換えられた各スライスのビット量が 8 の倍数となるように合成画面表示データを生成する合成画面生成手段とを備えることを特徴とするものである。

【0 0 1 0】また、本発明に係る画像処理方法は、M P E G (Moving Picture Experts Group) 規格に準拠した複数の動画像データを一面画内に表示するように合成して合成画面を生成する画像処理方法において、各スライスの合成画面内での位置を示す垂直位置情報及び各スライスに含まれる先頭マクロブロックの合成画面内での位置を示す水平位置情報を入力し、各スライスに付加されスライス層の開始を示すスライス位置情報を上記垂直位置情報に基づいて書き換えるとともに、各スライスに含まれる先頭マクロブロックに付加され合成画面内での表示位置を示すマクロブロック位置情報を上記水平位置情報に基づいて書き換え、各スライスのビット量が 8 の倍数となるように上記合成画面を表示するための合成画面表示データを生成することを特徴とする。

【0 0 1 1】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照しながら詳細に説明する。

【0 0 1 2】本発明は、例えば図 1 に示すように構成さ

れた画像処理装置 1 に適用される。

【0 0 1 3】この画像処理装置 1 は、動画像を示す M P E G (Moving Picture Experts Group) 規格に準拠したビットストリームが入力される各入力端子 2 a ~ 2 n からの各ビットストリームをスライス単位のビットストリームとして切換出力するスイッチ部 3 と、スイッチ部 3 からのビットストリームについて付加されたヘッダを調べるシンタクスパーサ 4 と、シンタクスパーサ 4 からのビットストリームの表示位置を制御する表示位置情報変更部 5 と、表示位置情報変更部 5 からのスライス単位のビットストリームのビット長を調整するゼロビット挿入部 7 と、ゼロビット挿入部 7 からのビットストリーム、端子 9 からのシーケンスヘッダ、シンタクスパーサ 4 からのピクチャヘッダを切換出力するスイッチ部 8 とを備える。

【0 0 1 4】このような画像処理装置 1 は、入力端子 2 a に動画像 A を示すビットストリーム、入力端子 2 b に動画像 B を示すビットストリーム、入力端子 2 c に動画像 C を示すビットストリーム、入力端子 2 d に動画像 D を示すビットストリームが入力されたときには、各動画像を例えば図 2 (a) に示す縦 2 4 0 画素×横 3 5 2 画素の小画面の子画像 A, B, C, D とし、これらの子画像 A, B, C, D を合成することで図 2 (b) に示す縦 4 8 0 画素×横 7 0 4 画素の合成動画像とする処理を行うものである。

【0 0 1 5】まず、各入力端子 2 a ~ 2 n に入力される M P E G 規格に準拠したビットストリームについて説明する。

【0 0 1 6】各ビットストリームは、合成動画像を構成する子画像用の動画像が M P E G 規格に準拠してエンコードされているものである。これら各入力端子 2 a ~ 2 n からの各ビットストリームは、以下に説明する制限に従ってエンコードされていることを要する。

【0 0 1 7】まず、各ビットストリームのフレームレートは、端子 1 0 から出力する合成動画像を示すビットストリームと同じフレームレートであることを要する。

【0 0 1 8】また、各ビットストリームの horizontal_size 及び vertical_size で定義される各ピクチャを表示するための画像サイズはそれぞれ異なっても良いが、全てのビットストリームを一面画に合成して合成動画像を生成したときにおいて各子画像間に隙間が発生しないことを要する。

【0 0 1 9】更に、合成動画像を示す各ビットストリームの同時刻に表示される子画像は、同じピクチャタイプであることを要する。すなわち、入力端子 2 a から入力されるビットストリームを S 1、入力端子 2 b から入力されるビットストリームを S 2、入力端子 2 c から入力されるビットストリームを S 3、入力端子 2 d から入力されるビットストリームを S 4 とした場合において、各入力端子 2 a ~ 2 d に入力されるピクチャの順序は、

S 1 : I2, B0, B1, P5, B3, B4, P8, B6, B7, P11, B9, B10

S 2 : I2, B0, B1, P5, B3, B4, P8, B6, B7, P11, B9, B10

S 3 : I2, B0, B1, P5, B3, B4, P8, B6, B7, P11, B9, B10

S 4 : I2, B0, B1, P5, B3, B4, P8, B6, B7, P11, B9, B10

となっていることを要する。ここで、上記、I, B, P はそれぞれ I (Intra) ピクチャ、P (Predictive) ピクチャ、B (Bidirectionally predictive) ピクチャを表し、I, P, B に付加されている添え字の数字は各ピクチャの表示順序を表す。

【0020】更にまた、各ビットストリームの同時刻に表示されるピクチャは、以下に示す M P E G 規格で定義している各階層のヘッダとして付加されているパラメータの値が同じであることを要する。すなわち、各ビットストリームのピクチャ層について付加されている temporal_reference、full_pel_forward_vector、forward_f_code、full_pel_backward_vector、backward_f_code が同じであることを要する。ここで、各ビットストリームが M P E G 2 規格でエンコードされているときにおいては、更にピクチャ符号化機能拡張部 (picture_coding_extension) に含まれる各種パラメータも同じであることを要する。

【0021】更にまた、各ビットストリームは、1 スライスに含まれるマクロブロックの垂直位置 (slice_vertical_position) が同じであることを要する。すなわち、1 スライスは、2 列以上のマクロブロックラインに亘って連続してはならない。例えば図 3 に示すように、各スライスは、macroblock_address_increment が “1” である先頭のマクロブロック (以下、先頭マクロブロックと呼ぶ。) が画面の左端の位置し、同じ垂直位置の右端のマクロブロックで終わるように位置していることが望ましい。

【0022】このような制限に従って各入力端子 2 a ~ 2 n から入力されるビットストリームにより表示されるピクチャは、図 3 に示すように、例えば画像サイズが縦 2 4 0 画素 × 横 3 5 2 画素である。このピクチャのスライス構造は、上述したように画面の左端ではじまり、同じ垂直位置の右端のマクロブロックで終わるように構成されている。1 ピクチャは 1 5 のスライスからなり、1 スライスは図 4 に示すように 2 2 個のマクロブロックからなる。

【0023】ピクチャを構成する各スライスの垂直位置は、画面の上から下に 1 ~ 1 5 の slice_vertical_position の値で表現される。M P E G 規格に準拠したスライス層のシンタクスは、図 5 に示すようになされている。すなわち、スライス層は、3 2 ビットの slice_start_code、5 ビットの quantizer_bit_slice、1 ビットの extra

_bit_slice、8 ビットの extra_information_slice、1 ビットでありコード値が “0” である extra_bit_slice のパラメータを含む。

【0024】各スライスの画面上での垂直位置 (slice_vertical_position) は、上述のスライス層のパラメータのうち、スライス・スタート・コード (slice_start_code) のうち下位 8 ビットで表現される。ここで、スライス・スタート・コードは、3 2 ビット固定長であり、1 6 進数で “0 0 0 0 0 1 x x” で表現される値である。そして、スライス・スタート・コードの下位 8 ビットの “x x” が垂直位置 (slice_vertical_position) を表す。

【0025】また、各スライスを構成する先頭マクロブロックのピクチャ内での水平位置は、ピクチャの左端からのマクロブロックの個数で表される。図 3 に示したピクチャのスライス構造の例では、各スライスの先頭マクロブロックのピクチャ内での水平位置は “1” である。

【0026】各スライスを構成するマクロブロック層のシンタクスは、図 6 に示すようになっている。すなわち、マクロブロック層は、macroblock_stuffing、macroblock_escape、macroblock_address_increment、macroblock_type、quantizer_scale、motion_horizontal_forward_code、motion_horizontal_forward_r、motion_vertical_forward_code、motion_vertical_forward_r、motion_horizontal_backward_code、motion_horizontal_backward_r、motion_vertical_backward_code、motion_vertical_backward_r、coded_block_pattern、end_of_macroblock のパラメータを含む。

【0027】各スライスの先頭マクロブロックのピクチャ内での位置は、上述したマクロブロック層のパラメータのうち macroblock_escape と macroblock_address_increment のパラメータで表される。この macroblock_address_increment は、図 7 に示すように、スライスを構成する各マクロブロックを示す値 (increment_value) を可変長コード (VLC_code) により表現している。

【0028】このように上述した制限に従い、図 5 ~ 図 7 を参照して説明したようなスライス層及びマクロブロック層のシンタクスで示したパラメータが含まれるビットストリームは、各入力端子 2 a ~ 2 n を介してスイッチ部 3 に入力される。

【0029】このスイッチ部 3 は、例えば図示しない制御部によりシンタクスパーサ 4 への出力タイミングが制御され、図 1 に示すスイッチ端子 3 a、スイッチ端子 3 b、スイッチ端子 3 c、スイッチ端子 3 d、・・・、スイッチ端子 3 n の順に接続を切り換えることで、合成動画像上での左上左端に位置するマクロブロックからラスタースキャン方向にマクロブロック単位で読み込んで各スライスをシンタクスパーサ 4 に出力する。

【0030】例えば、合成動画像を構成する各子画像の画像サイズが縦 2 4 0 画素 × 横 3 5 2 画素であって、図

10

20

30

40

50

8に示すように4個の子画像A、B、C、Dを一画面に合成して合成動画像を生成する場合、入力端子2 aには子画像Aを示すビットストリームが入力され、入力端子2 bには子画像Bを示すビットストリームが入力され、入力端子2 cには子画像Cを示すビットストリームが入力され、入力端子2 dには子画像Dを示すビットストリームが入力されるとする。

【0 0 3 1】このとき、スイッチ部3は、先ず子画像Aを構成するスライス及び子画像Bを構成するスライスを子画像A、子画像Bの順序に上から交互に出力するように動作し、子画像A及び子画像Bを構成する全スライスの出力を終了すると、子画像Cを構成するスライス及び子画像Dを構成するスライスを子画像C、子画像Dの順序に上から交互に出力するように動作する。

【0 0 3 2】より具体的には、スイッチ部3は、先ずslice_vertical_positionの値が“1”のスライスを構成し合成動画像内での水平位置が“0～2 1”であってmacroblock_address_incrementの値が“1～2 2”のマクロブロック、slice_vertical_positionの値が“1”のスライスを構成し合成動画像内での水平位置が“2 2～4 3”であってmacroblock_address_incrementの値が“2 3～4 4”となるべきマクロブロックの順に子画像A、子画像Bの順序で交互に読み込むことで、合成動画像のslice_vertical_positionの値が“1”におけるスライスを出力する処理を行う。そして、スイッチ部3は、slice_vertical_positionの値が“1”のスライスを読み込んだら、順次slice_vertical_positionの値が“1～1 5”となるべきスライスを読み込み合成動画像における子画像A及び子画像Bを出力する。そして、スイッチ部3は、子画像C及び子画像Dについても、上述と同様に順次slice_vertical_positionの値が“1 6～3 0”となるべきスライスを出力する処理を行うことで合成動画像を構成する全ての画素をシンタクスパーサ4に出力する処理を行う。

【0 0 3 3】シンタクスパーサ4は、スイッチ部3から各スライスに付加されているスライス・スタート・コードと、各スライスの先頭マクロブロックに付加されているmacroblock_escape及びmacroblock_address_incrementの値を調べる処理を行って、スライス単位のビットストリームとともに表示位置情報変更部5に出力する。

【0 0 3 4】また、このシンタクスパーサ4は、上述のように各入力端子2 a～2 nから入力される全てのビットストリームのピクチャ層のパラメータが同じであるという制限を満たしているものとみなして、入力端子2 aに入力されたビットストリームについてのみピクチャヘッダを読み出す処理を行う。そして、シンタクスパーサ4は、読み出したピクチャヘッダを合成動画像のピクチャヘッダとしてスイッチ部8に出力する。

【0 0 3 5】表示位置情報変更部5には、シンタクスパーサ4からスライス単位のビットストリームとともに、

端子6から各子画像の合成動画像内での表示位置を指定する表示位置情報が入力される。表示位置情報変更部5は、表示位置情報に基づいて、合成動画像内における各スライスの垂直位置及び合成動画像内における各スライスの先頭マクロブロックの水平位置を計算する処理を行う。

【0 0 3 6】この表示位置情報変更部5は、例えば図8に示す子画像A、B、C、Dの合成動画像内での表示位置を指定する表示位置情報が入力されたとき、各スライスに付加されたビットストリームのスライス・スタート・コード、各スライスの先頭マクロブロックに付加されたmacroblock_escape及びmacroblock_address_incrementのパラメータについて計算を行って合成動画像内における子画像A、B、C、Dの表示位置を決定する。

【0 0 3 7】すなわち、表示位置情報変更部5は、子画像Aと子画像Bを構成する各スライスの合成動画像内での垂直位置を上から順に“1～1 5”（slice_vertical_position=1～15）とし、子画像Cと子画像Dを構成する各スライスの合成動画像内での垂直位置を上から順に“1 6～3 0”（slice_vertical_position=16～30）とする。更に、表示位置情報変更部5は、子画像Aと子画像Cを構成する各スライスの先頭マクロブロックの合成動画像内での水平位置を“0”（macroblock_address_increment=1）とし、子画像Bと子画像Dを構成する各スライスの先頭マクロブロックの合成動画像内での水平位置を“2 2”（macroblock_address_increment=23）とする。

【0 0 3 8】具体的には、表示位置情報変更部5は、各スライスに付加されているスライス・スタート・コードの下位8ビットを各スライスの合成動画像内での垂直位置の値に書き換え、各スライスの先頭マクロブロックに付加されているmacroblock_address_incrementの値を各スライスの先頭マクロブロックの合成動画像内での水平位置の値に書き換える処理を行う。

【0 0 3 9】これにより、表示位置情報変更部5は、子画像Aはmacroblock_address_incrementの値が“1”である先頭マクロブロックを含んだslice_vertical_positionの値が“1～1 5”であるスライスにより表示され、子画像Bはmacroblock_address_incrementの値が“2 3”である先頭マクロブロックを含んだslice_vertical_positionの値が“1～1 5”であるスライスにより表示され、子画像Cはmacroblock_address_incrementの値が“1”である先頭マクロブロックを含んだslice_vertical_positionの値が“1 6～3 0”であるスライスにより表示され、子画像Dはmacroblock_address_incrementの値が“2 3”である先頭マクロブロックを含んだslice_vertical_positionの値が“1 6～3 0”であるスライスにより表示されるようにパラメータを書き換える処理を行う。

【0 0 4 0】そして、表示位置情報変更部5は、上述の

ように書き換えたパラメータとともに、スライス単位のビットストリームをゼロビット挿入部7に出力する。

【0041】ゼロビット挿入部7は、macroblock_address_incrementが図7に示すように可変長であり、表示位置情報変更部5によりmacroblock_address_incrementの値を書き換えることにより各スライスのビット数が増減した可能性があり、MPEG規格のスタートコードがバイト量の調整されていなければならずスライス単位のビットストリームのビット数が8の倍数である必要があるので、各スライスのビット数を調整する処理を行う。

【0042】すなわち、ゼロビット挿入部7は、スライス単位のビットストリームのビット数が8の倍数であるか否かを調べ、スライス単位のビットストリームのビット数が8の倍数となるように値が“0”のビットを各スライスの終端に挿入する処理を行う。そして、ゼロビット挿入部7は、8の倍数となるようにビット長を調整したスライス単位のビットストリームをスイッチ部8に出力する。

【0043】スイッチ部8は、例えば図示しない制御部により制御され、ゼロビット挿入部7からスライス単位のビットストリームが入力されるスイッチ端子8a、シンタクスパーサ4からピクチャヘッダが入力されるスイッチ端子8b、端子9からシーケンスヘッダ及びGOP (Group of Pictures) ヘッダが入力されるスイッチ端子8cを切り換えることで、端子10を介して合成動画を示すビットストリームを出力する。

【0044】ここで、上記シーケンスヘッダ、GOPヘッダ、ピクチャヘッダ及びスライス単位のビットストリームは、それぞれMPEG規格に準拠したシーケンス層、GOP層、ピクチャ層のシンタクスを満たす。

【0045】端子10から出力されたビットストリームは、図示しない表示装置に入力され、表示装置内でデコードされてモニター上に複数の子画像からなる合成動画として表示される。

【0046】このように構成された画像処理装置1は、表示位置情報に基づいて、表示位置情報変更部5によりスライス・スタート・コードの下位8ビットを各スライスの合成動画内での垂直位置の値に書き換えるとともに、macroblock_address_incrementの値を各スライスの先頭マクロブロックの合成動画内での水平位置に書き換える処理を行うことにより、入力端子2a~2nから入力されたビットストリームが示す動画像を子画像として合成動画内における表示位置を決定して合成動画を示すビットストリームを生成することができるので、各動画像の品質を保持しつつ合成動画を示すビットストリームを生成することができる。

【0047】したがって、この画像処理装置1は、例えばデコードや再エンコード等の処理を行う必要がないので、各動画像の品質を劣化させるようなことがなく合成動画を生成することができる。

【0048】次に、上述した画像処理装置1により合成動画を生成するときの処理手順について図9及び図10のフローチャートを参照して説明する。

【0049】図9に示すフローチャートによれば、先ず、ステップST1において、画像処理装置1は、図示しない制御部により端子9からGOPヘッダをスイッチ部8に出力するか否かを判定する。このステップST1において、制御部は、端子10から出力する合成動画を示すビットストリームを出力するときにおいて、GOPヘッダ及びシーケンスヘッダを出力するタイミングを判定してスイッチ部8にGOPヘッダを出力するか否かを判定する。そして、制御部は、GOPヘッダを出力すると判定したときにはステップST2に進み、GOPヘッダを出力しないと判定したときにはステップST3に進む。

【0050】ステップST2において、制御部は、ステップST1でGOPヘッダ及びシーケンスヘッダを出力するタイミングと判定したことに応じて、端子9からGOPヘッダ及びシーケンスヘッダをスイッチ部8に出力する処理を行う。

【0051】ステップST3において、制御部は、シンタクスパーサ4に格納されたビットストリームを構成するピクチャごとにピクチャヘッダを出力する。そして、制御部は、後述のステップST4~ステップST7において、ステップST3で出力したピクチャヘッダが付加されるピクチャを構成するスライスについての処理を行わせる。

【0052】ステップST4において、制御部は、スイッチ部3を制御することにより、ピクチャを構成するスライス単位のビットストリームをシンタクスパーサ4に出力させる。ここで、各入力端子2a~2nに入力されたスライス単位のビットストリームは、一画面で表示されるピクチャを構成するビットストリームである。

【0053】ステップST5において、シンタクスパーサ4は、スイッチ部3からのスライス単位の各ビットストリームを、一画面に表示される各ピクチャを示すスライスから、合成動画を表示するためのスライスに変換する処理を行う。

【0054】すなわち、制御部は、図10のフローチャートに示す処理をシンタクスパーサ4、表示位置情報変更部5、及びゼロビット挿入部7に行わせる。この図10によれば、先ず、制御部は、ステップST11において、端子6から表示位置情報を表示位置情報変更部5に入力させるように制御する。

【0055】そして、シンタクスパーサ4は、スライス単位のビットストリームのスライス・スタート・コード、各スライスの先頭マクロブロックのmacroblock_escape及びmacroblock_address_incrementの値を調べる処理を行うことで、各スライスの合成動画内に表示されるべき垂直位置及び各スライスの先頭マクロブロックの

合成動画像内で表示されるべき水平位置を調べる処理を行う。

【0056】次のステップST12において、表示位置情報変更部5は、ステップST11における各スライスの合成動画像内で表示されるべき垂直位置及び端子6からの表示位置情報に基づいて、各スライスについてのスライス・スタート・コードの下位8ビットをスライスの合成動画像内での垂直位置の値に書き換える処理を行う。

【0057】また、表示位置情報変更部5は、ステップST13において、各スライスの先頭マクロブロックの合成動画像内で表示されるべき水平位置及び端子6からの表示位置情報に基づいて、スライスの先頭マクロブロックのmacroblock_address_incrementの値をスライスの先頭マクロブロックの合成動画像内での水平位置の値に書き換える処理を行う。

【0058】次のステップST14において、ゼロビット挿入部7は、スライス単位のビットストリームのビット数が8の倍数であるか否かを調べ、スライス単位のビットストリームのビット数が8の倍数となるように値が“0”のビットをスライスの終端に挿入する処理を行って各スライスについての処理を終了して図9に示すステップST6に進む。

【0059】そして、ステップST6において、制御部は、8の倍数となるようにビット長を調整したスライス単位のビットストリームをスイッチ部8に出力する処理を行う。

【0060】ステップST7において、制御部は、上述のステップST6において出力したスライス単位のビットストリームが合成動画像を構成する最後のスライスか否かを判定する。そして、制御部は、合成動画像を構成する最後のスライスであると判定したときにはステップST8に進み、合成動画像を構成する最後のスライスではないと判定したときにはステップST4に戻って次のスライスをスイッチ部3から入力し再びステップST5～ステップST7に示す処理を行わせる。すなわち、制御部は、合成動画像を構成する全スライスについてステップST5で説明した処理を行わせて、全スライスについてステップST5に示す処理を行ったときにステップST8に進む。

【0061】ステップST8において、制御部は、スイッチ部8を介して端子10から出力するピクチャが最後のピクチャか否かを判定する処理を行う。そして、制御部は、最後のピクチャであると判定したときには合成動画像を生成する処理を終了し、最後のピクチャではないと判定したときにはステップST1に戻って再びステップST1～ステップST8の処理を繰り返して合成動画像を構成するピクチャを生成する処理を行う。

【0062】このような処理を行う画像処理装置1は、入力端子2a～2nに入力したビットストリームをシン

タクスパーサ4、表示位置情報変更部5及びゼロビット挿入部7により合成動画像を構成するスライス単位のビットストリームとして端子8aに入力するとともに、ピクチャヘッダをスイッチ端子8bに入力し、シーケンスヘッダ及びGOPヘッダをスイッチ端子8cに入力する。そして、制御部は、スイッチ部8を制御することにより、スライス単位のビットストリーム、ピクチャヘッダ、シーケンスヘッダ及びGOPヘッダの出力タイミングを制御して、端子10から合成動画像を示すビットストリームを出力する。

【0063】

【発明の効果】以上詳細に説明したように、本発明に係る画像処理装置及び方法によれば、合成号画像を構成する複数の動画像データとともに、各動画像データを構成する各スライスの合成画面内での位置を示す垂直位置情報及び各スライスに含まれる先頭マクロブロックの合成画面内での位置を示す水平位置情報を入力し、各スライスに付加されスライス層の開始を示すスライス位置情報を垂直位置情報に基づいて書き換えるとともに、各スライスに含まれる先頭マクロブロックに付加され合成画面内での表示位置を示すマクロブロック位置情報を水平位置情報に基づいて書き換えることにより、各スライスの合成画面内での表示位置を決定して、MPEG規格に準拠した複数の動画像データを一画面内に表示するように合成して合成画面を生成することができる。したがって、この画像処理装置及び方法によれば、入力されたMPEG規格に準拠したビットストリームについて行うデコード及び再エンコードをすることなく高品質な合成動画像を生成することができる。

【図面の簡単な説明】

【図1】本発明を適用した画像処理装置の構成の一例を示すブロック図である。

【図2】(a)は小画面の子画像A、B、C、Dを示し、(b)はこれらの子画像A、B、C、Dを合成することで合成動画像とする処理を行うことを説明するための図である。

【図3】ピクチャのスライス構造について説明するための図である。

【図4】スライスの構成についての説明するための図である。

【図5】MPEG規格に準拠したスライス層のシンタクスについて説明するための図である。

【図6】MPEG規格に準拠したマクロブロック層のシンタクスについて説明するための図である。

【図7】スライスを構成する各マクロブロックを示す値(increment_value)を可変長コード(VLC_code)により表現していることを説明するための図である。

【図8】4個の子画像A、B、C、Dを一画面に合成して合成動画像を生成することを説明するための図である。

【図 9】画像処理装置により合成動画像を生成するときの処理手順について示すフローチャートである。

【図 10】画像処理装置により合成動画像を生成するときにおいて、各スライスについて行う処理の処理手順について示すフローチャートである。

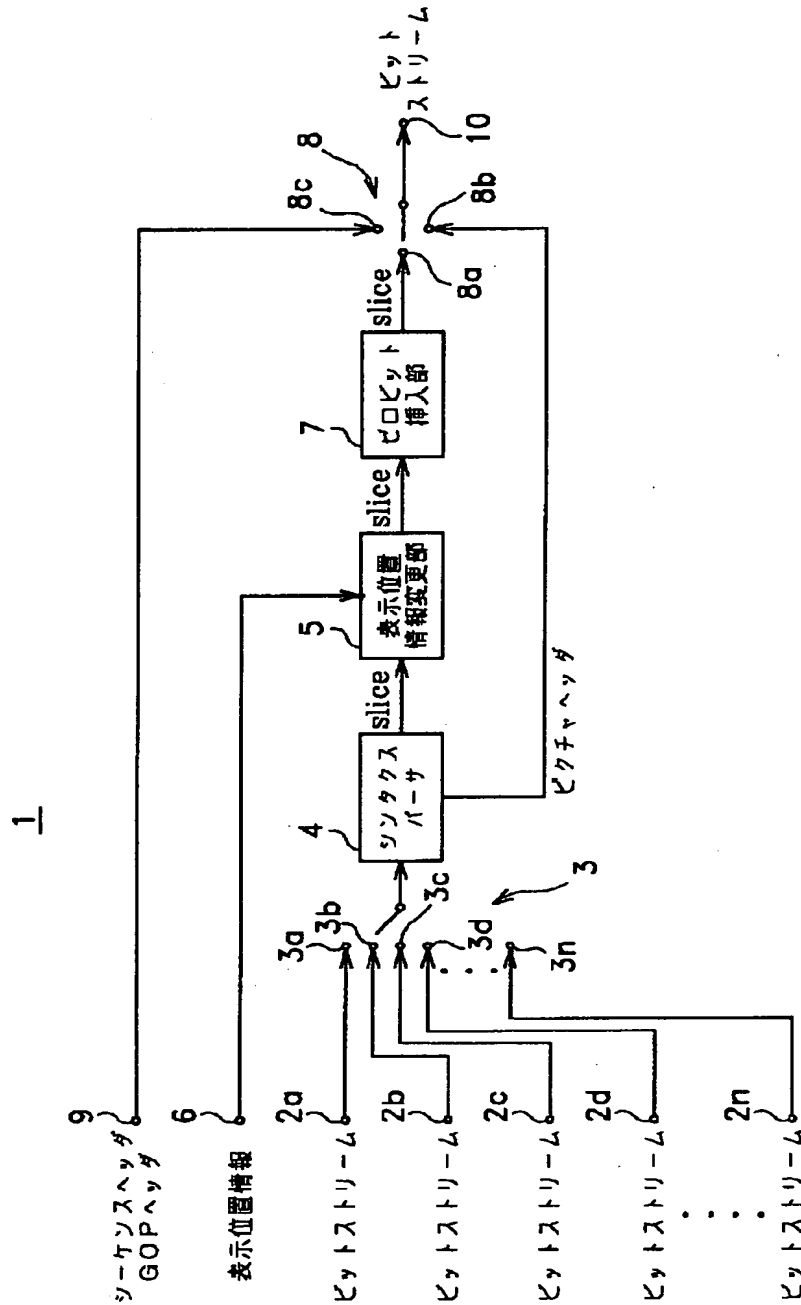
【図 11】従来の画像処理装置の構成を示すブロック図

である。

【符号の説明】

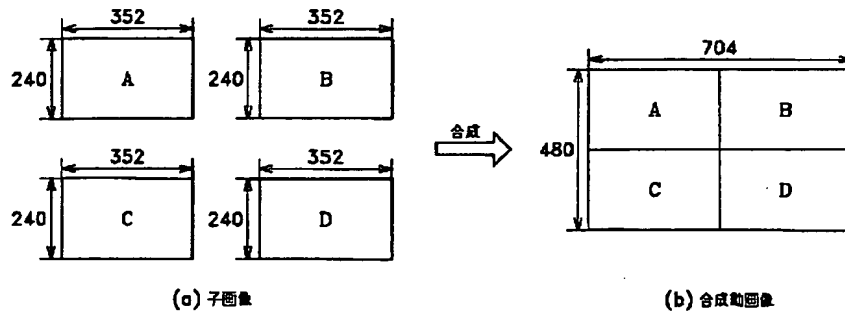
1 画像処理装置、2 a～2 n 入力端子、4 シンタクスパーサ、5 表示位置情報変更部、7 ゼロビット挿入部

【図 1】

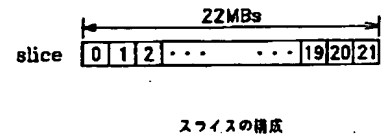


本発明を適用した画像処理装置

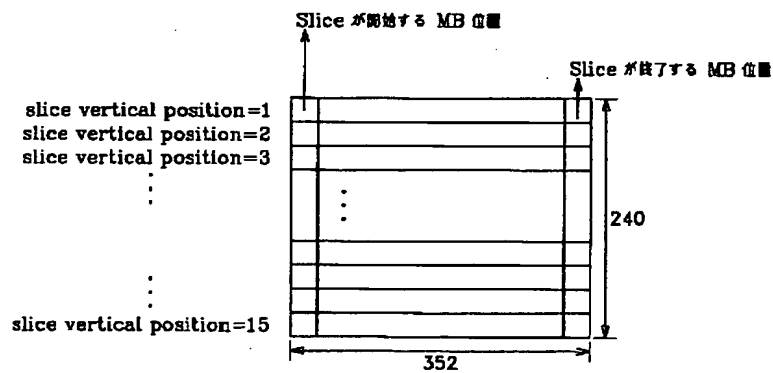
【図 2】



【図 4】



【図 3】



ピクチャのスライス構造

【図 5】

Syntax	No. of bits	Mnemonic
slice() {		
slice_start_code	32	bslbf
quantizer_scale	5	uimsbf
while(nextbits()=='1') {		
extra_bit_slice	1	"1"
extra_information_slice	8	
}		
extra_bit_slice	1	"0"
do {		
macroblock()		
} while(nextbits()!='000 0000 0000 0000 0000 0000')		
next_start_code()		
}		

スライス層のシンタクス

【図 6】

Syntax	No. of bits	Mnemonic
macroblock() {		
while(nextbits()=='0000 0001 111')	11	vlcibf
macroblock_stuffing		
while(nextbits()=='0000 0001 000')	11	vlcibf
macroblock_escape		
macroblock_address_increment	1-11	vlcibf
macroblock_type	1-6	vlcibf
if(macroblock_quant)		
quantizer_scale	5	uimsbf
if(macroblock_motion_forward) {		
motion_horizontal_forward_code	1-11	vlcibf
if((forward_f!=1)&&		
(motion_horizontal_forward_code!=0))		
motion_horizontal_forward_r	1-6	uimsbf
motion_vertical_forward_code	1-11	vlcibf
if((forward_f!=1)&&		
(motion_vertical_forward_code!=0))		
motion_vertical_forward_r	1-6	uimsbf
}		
if(macroblock_motion_backward) {		
motion_horizontal_backward_code	1-11	vlcibf
if((backward_f!=1)&&		
(motion_horizontal_backward_code!=0))		
motion_horizontal_backward_r	1-6	uimsbf
motion_vertical_backward_code	1-11	vlcibf
if((backward_f!=1)&&		
(motion_vertical_backward_code!=0))		
motion_vertical_backward_r	1-6	uimsbf
}		
if(macroblock_pattern)		
coded_block_pattern	3-9	vlcibf
for(i=0;i<6;i++)		
block(i)		
if(picture_coding_type==4)		
end_of_macroblock	1	"1"
}		

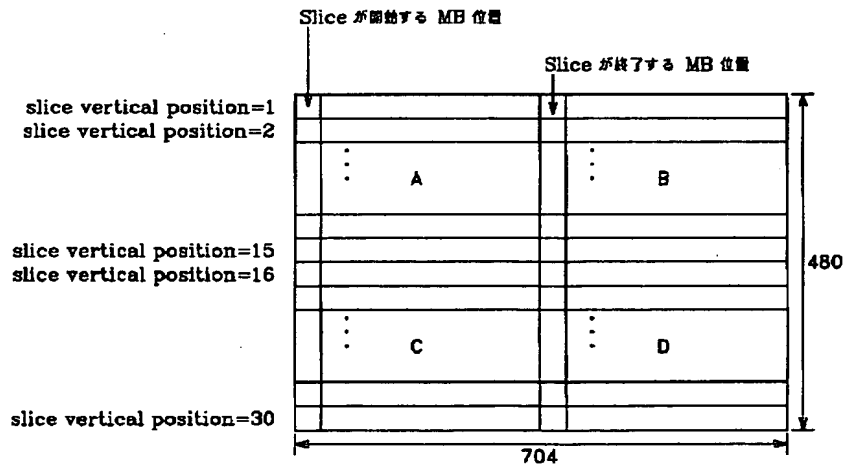
マクロブロック層のシンタクス

【図 7】

macroblock_address_ Increment VLC code	Increment value	macroblock_address_ Increment VLC code	Increment value
1	1	0000 0101 10	17
011	2	0000 0101 01	18
010	3	0000 0101 00	19
0011	4	0000 0100 11	20
0010	5	0000 0100 10	21
0001 1	6	0000 0100 011	22
0001 0	7	0000 0100 010	23
0000 111	8	0000 0100 001	24
0000 110	9	0000 0100 000	25
0000 1011	10	0000 0011 111	26
0000 1010	11	0000 0011 110	27
0000 1001	12	0000 0011 101	28
0000 1000	13	0000 0011 100	29
0000 0111	14	0000 0011 011	30
0000 0110	15	0000 0011 010	31
0000 0101 11	16	0000 0011 001	32
		0000 0011 000	33
		0000 0001 111	macroblock_stuffing
		0000 0001 000	macroblock_escape

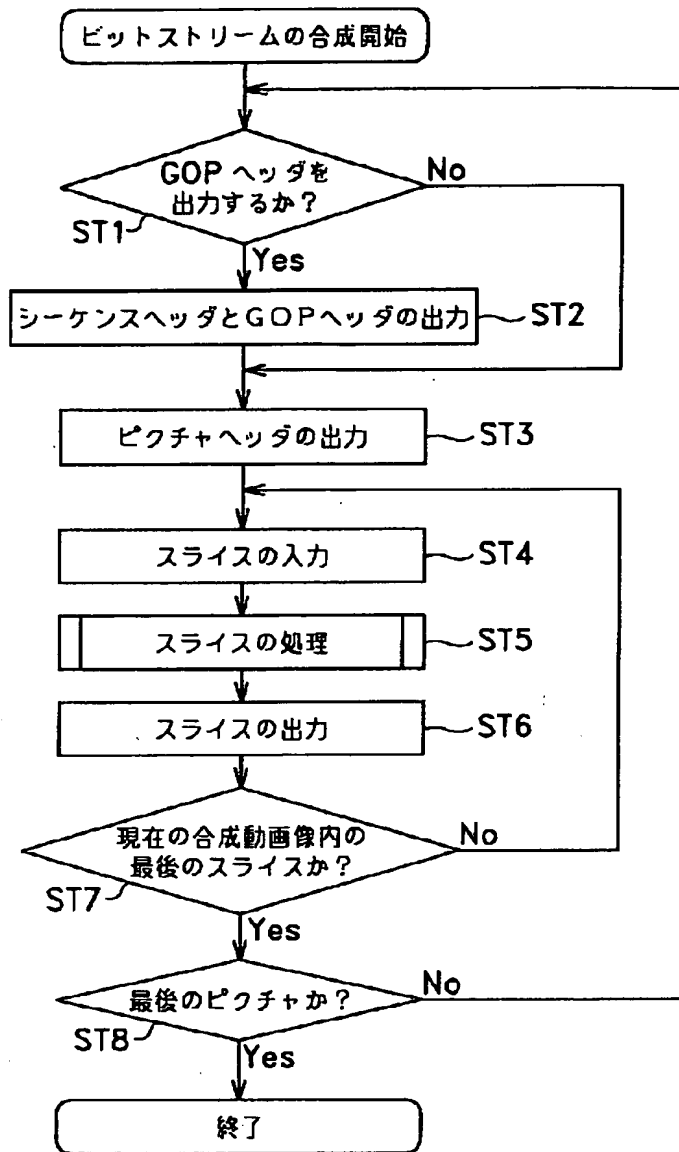
macroblock_address_increment

【図 8】



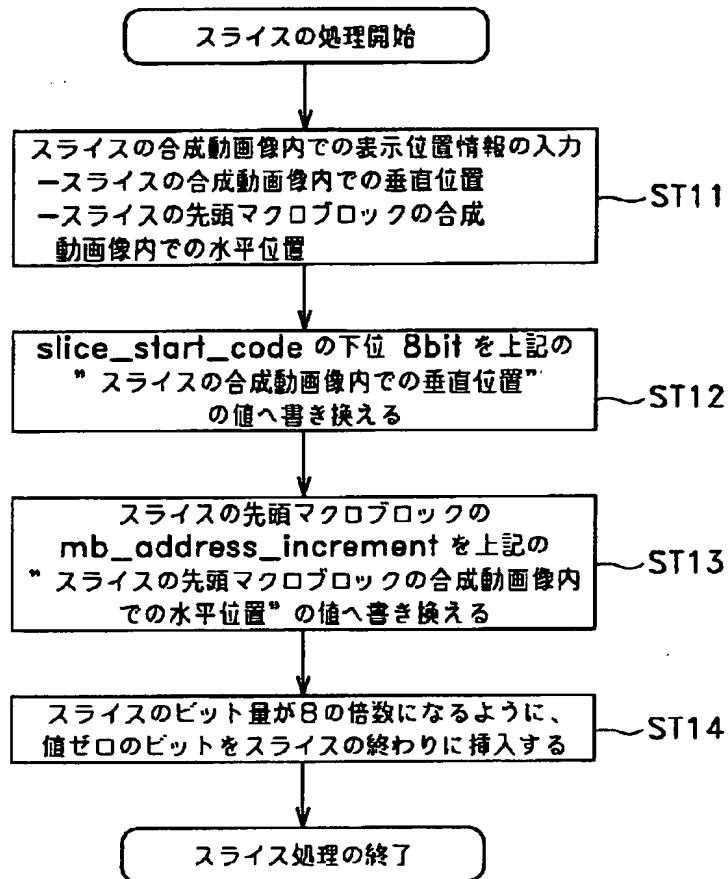
合成動画

【図 9】



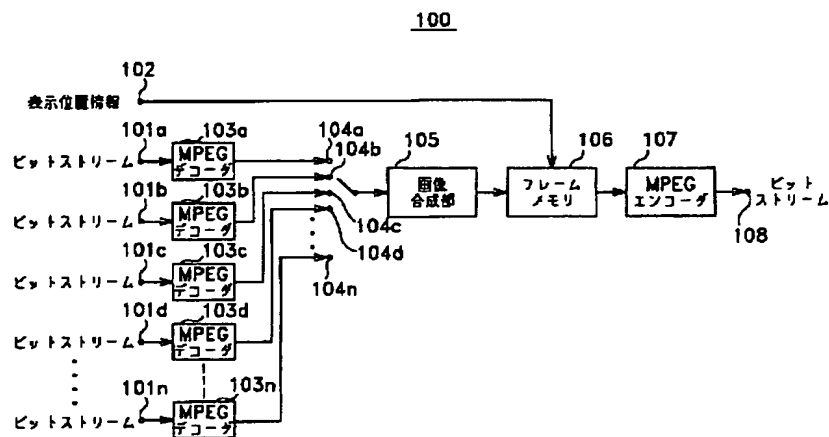
合成動画を生成するときの処理手順

【図 10】



各スライスについて行う処理

【図 11】



従来の画像処理装置